

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-173745

(43) 公開日 平成5年(1993)7月13日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	3/14	3 5 0 A	7165-5B	
G 0 9 G	5/00	M	8121-5G	
	5/14		8121-5G	
	5/36		9177-5G	

審査請求 未請求 請求項の数 2 (全 10 頁)

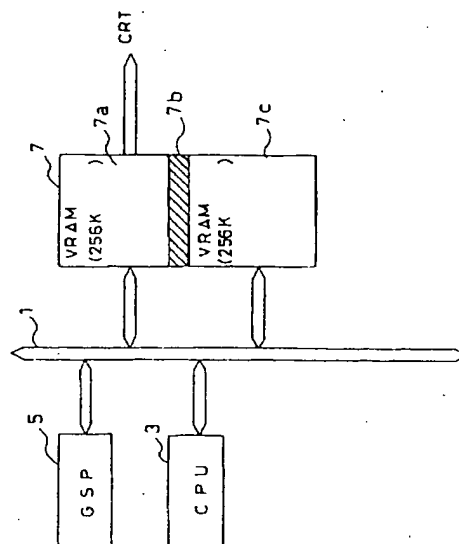
(21) 出願番号	特願平3-344714	(71) 出願人	0000013078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成3年(1991)12月26日	(72) 発明者	善田 浩輝 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(74) 代理人	井理士 鈴江 武彦

(54) 【発明の名称】 表示制御方式

(57) 【要約】

【目的】 第1グラフィックサブシステムのウインドウ表示と第2グラフィックサブシステムのフル画面モードでの表示を混在してフラットパネル表示装置の同一画面上に表示する。

【構成】 CPUによりCRTの表示データが書き込まれる第2ビデオRAMエリアが設けられる。描画用コプロセッサは第2ビデオRAMエリアから表示データをリードし、エミュレートしてフラットパネルの第1ビデオRAMの任意位置に、第2ビデオRAMエリアをウインドウとして設定すると共に、第1VRAMエリア内の所定位置にフル画面モードでの表示データを設定する。



## 【特許請求の範囲】

【請求項1】 高解像度フラットパネル表示装置をサポートする第1グラフィックサブシステムと；前記第1グラフィックサブシステムを用いて、低解像度表示装置をサポートする第2グラフィックサブシステムをエミュレートする手段と；および前記第1グラフィックサブシステムのウィンドウ表示と第2グラフィックサブシステムのフル画面モードでの表示を混在して前記フラットパネル表示装置の同一画面上に表示する手段とを備えたことを特徴とする表示制御方式。

【請求項2】 フラットパネル表示装置をサポートする第1グラフィックサブシステムと；前記第1グラフィックサブシステムを用いて、CRT表示装置をサポートする第2グラフィックサブシステムをエミュレートする手段と；および前記第1グラフィックサブシステムのウィンドウ表示と第2グラフィックサブシステムのフル画面モードでの表示を混在して前記フラットパネル表示装置の同一画面上に表示する手段とを備えたことを特徴とする表示制御方式。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、CRT (Cathode Ray Tube) ディスプレイ等のインターレースディスプレイや、フラットパネルディスプレイ等のノンインターレースディスプレイが接続可能なパーソナルコンピュータやパーソナルワークステーション等のコンピュータシステムに使用するのに適した表示制御方式に関し、特に高解像度モード画面と低解像度モード画面との混在表示方式に関する。

【0002】

【従来の技術】従来より、パソコン用グラフィックスコントローラ（ビデオサブシステム）としてVGA (Video Graphics Array) (第2グラフィックサブシステム) が使用されている。VGAはディスプレイへの表示を制御するメカニズムを備え、解像度が640×480画素、色数が256色の表示機能を有している。他方、種々のグラフィカルユーザーインターフェース (GUI) が開発されている。このようなGUIを効率的に動かしたいというユーザの要望がある。すなわち、1画面上に複数のウィンドウを表示するためには、解像度の大きな画面が必要である。また、マウスの応答性も良くしたいという要望がある。

【0003】このような問題を解決するために、表示解像度が1024×768画素、色数256色の表示モードを有したグラフィックスコントローラ（第2グラフィックサブシステムよりも表示解像度の高い第1グラフィックサブシステム）が開発されている。

【0004】第1グラフィックサブシステムでは、解像度の増加に見合う処理速度を得るために、描画専用のコプロセッサ（グラフィックシステムプロセッサ；GSP）

を含んでいる。

【0005】しかしながら、従来第1グラフィックサブシステムを動作させる場合には、第2グラフィックサブシステムを有したパーソナルコンピュータにアダプタカードを介して第1グラフィックサブシステムを接続し、第2グラフィックサブシステムから第1グラフィックサブシステムに切り替えて使用する必要がある。このため、第2グラフィックサブシステム用ハードウェアと第1グラフィックサブシステム用ハードウェアの両方を用意する必要があり、ハードウェア構成が複雑となり、操作性も良くない。

【0006】また、第2グラフィックサブシステムで構築したソフトウェア資産を承継するため、第1グラフィックサブシステムにおいても、第2グラフィックサブシステム用アプリケーションプログラムを実行したいという要望がある。

【0007】

【発明が解決しようとする課題】上述したように、従来は、第2グラフィックサブシステムを有したパーソナルコンピュータにおいて、第2グラフィックサブシステムよりも解像度の高い第1グラフィックサブシステムを動作させる場合、アダプタカードを用いて第1グラフィックサブシステムを外部接続し、切り替え回路を介して第2グラフィックサブシステムから第1グラフィックサブシステムに切り替えて使用していた。このため、ハードウェア回路が複雑になるとともに、操作性も良くないという欠点があった。

【0008】また、第2グラフィックサブシステムで構築したソフトウェア資産を承継するため、第1グラフィックサブシステムにおいても、第2グラフィックサブシステム用アプリケーションプログラムを実行したいという要望がある。

【0009】さらに、アプリケーションプログラムの中には、ウィンドウを意識せず、VGAのフル画面モードでのみ表示を行なうように作られたプログラムがあり、このようなプログラムも第1グラフィックサブシステムを用いて実行したいという要望がある。

【0010】この発明の目的は、第1グラフィックサブシステムのハードウェアを内蔵し、第1グラフィックサブシステムのウィンドウ表示と第2グラフィックサブシステムのフル画面モードでの表示を混在してフラットパネル表示装置の同一画面上に表示することのできる表示制御方式を提供することである。

【0011】

【課題を解決するための手段】この発明の表示制御システムは、フラットパネル表示装置をサポートする第1グラフィックサブシステムと；前記第1グラフィックサブシステムを用いて、CRT表示装置をサポートする第2グラフィックサブシステムをエミュレートする手段と；

および前記第1グラフィックサブシステムのウィンドウ

表示と第2グラフィックサブシステムのフル画面モードでの表示を混在して前記フラットパネル表示装置の同一画面上に表示する手段とを備えている。

【0012】

【作用】この発明によれば、CPUによりアクセスされる、第2グラフィックサブシステム用ビデオRAMエリア（第2ビデオRAMエリア）と、GSPによりアクセスされる、第1グラフィックサブシステム用ビデオRAMエリア（第1ビデオRAMエリア）とを備えている。CPUは、第2グラフィックサブシステムのフル画面モードで表示するように作られたアプリケーションプログラムを実行し、第2ビデオRAMエリアに表示データを書き込む。GSPは、すでに第1グラフィックサブシステム用ウィンドウが設定された第1ビデオRAMエリアの所定の位置にウィンドウを切り、第2グラフィックサブシステムのフル画面モードでの表示を行なうことにより、第1グラフィックサブシステムのウィンドウと第2グラフィックサブシステムにおけるフル画面モードとの混在表示を行なう。

【0013】このように、CPUがVGAのフル画面モードでの表示を行なうアプリケーションプログラムを実行した場合、GSPは第1グラフィックサブシステム用VRAMエリアの所定の位置にウィンドウを切り、そこにフル画面をセットし、第1グラフィックサブシステムの表示解像度（例えば1024x768画素）でフラットパネル表示装置に表示するので、VGAのフル画面モードと、第1グラフィックサブシステムのウィンドウとを混在して表示することができる。

【0014】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、この発明の一実施例を示す概念ブロック図である。この発明の特徴は、第1グラフィックサブシステムのハードウェアのみを装備して、第2グラフィックサブシステムをエミュレートすることである。

【0015】図1において、システムバス1には、メインプロセッサとして作用する中央処理装置（CPU）3が接続されている。CPU3は例えば32ビットのマイクロプロセッサで構成されている。さらに、描画用コプロセッサとしての機能を果たすグラフィックシステムプロセッサ（GSP）5が接続されている。ビデオRAM（VRAM）7は機能的に第1および第2のエリア7a、7cに分かれている。第1のエリア7aは、第1のグラフィックサブシステム（例えば1024x768画素、256色の高解像度ディスプレイアダプタ）に利用され、GSP5のみによりアクセスされる。第2のエリア7cは、第2グラフィックサブシステム（例えばVGA）に利用され、CPU3およびGSP5によりアクセスされる。第1エリア7c内の斜線部分7bには、CPU3から第2エリア7cに書き込まれた図形作成コマンドおよびそのコマンドに対応する図形作成処理プログラムが書

き込まれる。すなわち、パーソナルコンピュータの電源を立ち上げると、イニシャライズルーチンが実行され、初期設定が行われる。ディスクオペレーティングシステムでは電源を立ち上げると、第2グラフィックサブシステム、たとえばVGAモードで動作するように構成されている。従って、初期設定において、VGAモード用エミュレーションプログラムをエリア7bにダウンロードする。CPU3からはエリア7cだけが見えている。すなわち、高解像度ディスプレイアダプタ用のVRAM7にVGA用の仮想空間が形成される。VGA用に作られたアプリケーションプログラムが実行されると、CPU3は表示データをエリア7cにセットする。GSP5はVGAモードであることを検出すると、エリア7cのデータをエリア7aに転送する。図2はこの発明の表示制御システムの一実施例を示す詳細ブロック図である。なお、図1と同一部には同符号を付してその説明を省略する。

【0016】アドレスコントローラ13は、第2グラフィックサブシステムモード（例えば、VGA）における表示スクリーンのスタートアドレスや、カーソルアドレスなどの指定を第1グラフィックサブシステムモード（例えば1024x768ピクセルの高解像度ディスプレイアダプタ）におけるアドレスに変換する。

【0017】アドレスフラグ29はCPU3によりあるアドレスが指定されたことを示すフラグである。例えば、VGA用につくられたアプリケーションプログラムがBIOS（Basic Input and Output System）をアクセスしたことを示すフラグ、メモリ4をアクセスしたことを示すフラグ、シーケンサ17をリセットしたことを示すフラグなどで構成されている。従来VGAにおいて、CRTコントローラ内に設けられている各種表示制御用レジスタの中には、実質必要ないレジスタも含まれているので、この実施例では、図2のI/Oバッファ21のなかに、そのためのレジスタを設けず、フラグのみをアドレスフラグ29として持ち、データ格納容量のダウンサイジングをはかっている。

【0018】グラフィックシステムプロセッサ（GSP）5（第1グラフィックサブシステム）は描画用コプロセッサであり、高解像度（例えば1024x768画素）で描画を行う。GSP5はGSPの動作モードや各種フォーマットの指定を行うためのI/Oレジスタ（16ビット長）を有している。このI/Oレジスタを用いて例えばインターレースモード（CRT）、ノンインターレースモード（プラズマディスプレイ（PDP）や液晶表示装置（LCD）等のフラットパネル表示装置）の選択が行われ、選択された表示装置に対応した表示タイミング制御信号を出力するように構成されている。このような、GSP5としては、例えば米国テキサスインスツルメント社製のTMS34020が適用できる。

5

【0019】アドレスバッファ15はVGAモードにおいて使用されるバッファであり例えばFIFO (First-In First-Out) レジスタで構成されている。アドレスバッファ15はVGAモードにおいてCPU1から出力されたアドレスデータをアドレスコントローラ13を介して順次格納する。すなわち、CPU3が図1のエリア7cのあるアドレスをアクセスすると、そのアドレスがアドレスバッファ15にかかれる。GSP5はアドレスバッファ15をポーリングし、そのアドレスの表示データが書き変わったことを知り、その

アドレスの表示データを読みエリア7aに転送する。このようにすることにより、CPU3による表示データの書換に対して即GSP5が転送処理を行うので、画面の処理速度が早くなる。

【0020】フォーマットトランスレータ23は、第2グラフィックサブシステム (VGA) におけるVRAM7の表示データの配列を第1グラフィックサブシステムにおけるVRAM7の表示データの配列に変換する。この変換作業は、第1グラフィックサブシステムのVRAMにおける表示配列とは異なる表示配列を有する第2グラフィックサブシステムをエミュレートするのに必要である。従って、第2グラフィックサブシステムをエミュレートする場合にのみ使用され、第1グラフィックサブシステムモードでは、この回路はパススルーされる。

【0021】ビデオRAM7は、VGAモードにおいて使用される第2のビデオRAMエリア7cと高解像度モードにより使用される第1のビデオRAMエリア7aとで構成される。これらのエリア7a、7bは1つのVRAMデュアルポートメモリで実現されている。

【0022】なお、VRAM7のシリアルポートから出力されたビデオデータはアトリビュートコントローラ25に供給される。アトリビュートコントローラ25は受け取ったビデオデータを1画素毎に内部のパレットに出力する。パレットは受け取った画素に対応したカラー値をD-A変換器 (RAMDAC) 27に出力する。RAMDAC 27は受け取ったカラー値を、モニタに出力するためのアナログビデオ信号に変換する。

【0023】シーケンサ17は、CPU3とGSP5のVRAM7に対するアクセス要求を調節する機能を有する。VGAモードでは、各レジスタは8ビットで構成されている。

【0024】I/Oバッファ21はVGAモードにおいて、ホストCPU3から送られてくる制御コマンド、例えば従来存在したCRTコントローラに対する制御コマンドを保持する。グラフィックスコントローラ19は、VGAモードを実行するためにもうけられている機能であり、グラフィックスインデックスレジスタ (Graphics Index Register)、セット・リセット (Set/Reset)、イネーブルセット・リセット (Enable Set/Reset regis

6

ster)、カラーコンペア (Color Compareregister)、データローテート (Data Rotate)、リードマップセレクト (Read Map Select)、グラフィックスモードレジスタ (Graphics Mode Register)、ミisceラニアスレジスタ (miscellaneous Register)、カラードントケア (Color Don't Care)、ビットマスクレジスタ (Bit Mask Register) などを備えている。なお、グラフィックスコントローラの詳細については、例えば米国Paradise Systems, Inc. の "PVGA1A Paradise Video Graphics Array" に記載されている。以下、この発明の一実施例の動作について図3乃至図7を参照して説明する。

【0025】図3はCPU3の処理を示す動作フローである。電源の立ち上げに応答して、CPU3は、イニシャルプログラムモードをロードし、メモリチェック、レジスタチェックの他、各種初期設定を行なう。次に、CPU3はGSPプログラムをVRAMエリア7bにダウンロードする。これは、外部記憶装置、例えばフロッピーディスクやハードディスク6からGSPプログラムをダウンロードしてもよいし、ROM4からダウンロードしてもよい。次に、ステップ35において、CPU3はGSP5をイニシャライズする。すなわち、CPU3はGSP5のメモリクリアや、各種レジスタのセット等の初期設定処理を行なう。そして、ステップ37において、CPU3は、アプリケーションプログラムを実行する。この結果、CPU3は、アプリケーションプログラムに従って、VRAMエリア7cに表示データをセットする。

【0026】一方、GSP5は図4に示すように、CPU3によりイニシャライズされることにより、VRAMエリア7bにセットされたGSPプログラムをフェッチし (ステップ41)、解釈、実行する (ステップ43)。すなわち、GSP5は、ステップ45においてCPU3により実行されるアプリケーションプログラムの表示制御に関する内容に応じて、VRAMエリア7cの内容をリードし、VRAMエリア7aにイメージ展開する。そして、ステップ47において、VRAMエリア7aをスキャンし、表示装置に表示する。このようにして、GSPによりVGAモードがエミュレーションされる。以下、アドレスバッファ15を使用する場合の、テキストモードでの処理の例を図5を参照して説明する。

【0027】いま、図5のステップ51において、アプリケーションプログラムがVRAMエリア7c (VGA VRAM) のアドレスαのコードを "A" から "B" に書き換えたとする。アドレスコントローラ13はこのアドレスの書換えを検知し、アドレスαをアドレスバッファ (FIFOバッファ) 15に書き込む。

【0028】GSP5は、ステップ53においてアドレスバッファ15をリード（ポーリング）し、ステップ55において、バッファ15にアドレスが書かれているかどうか、すなわちアドレス書換えがあったかどうか判断する。アドレスの書換えがあった場合には、ステップ57において、VGAのテキストコードVRAM（VRAMエリア7c）のアドレスαをリードする。次に、ステップ59において、そのアドレスαに書かれている文字コードをリードして、その文字コードに対応するフォントアドレスを計算してアドレスβを求める。次に、ステップ61において、VGAのフォントVRAMのアドレスβからフォントをリードする。さらに、ステップ63において、VGAのアトリビュートVRAMから対応するカラーコードをリードする。次に、GSP5はそのカラーコードに対応するパレットデータを1/Oバッファ21からリードする。次に、GSP5はステップ67において、VGAのアドレスαに対応するGSPのVRAMアドレスαにフォントデータをライトする。次に、ステップ71において、アドレスバッファ15のポインタを1だけインクリメントし、上述したステップ53乃至71を繰り返す。この処理は、アドレスバッファ15にセットされているすべてのアドレスに対する処理が完了するまで続行される。図6は図5に示す処理動作を概念的に示す図である。

【0029】図7は、CRT表示装置に表示した場合のフル画面モードと、フラットパネル表示装置に表示した場合のフル画面モードを概念的に示す図である。図7に示すように、CRTの場合は、ピクセルサイズを変更できるので、物理的畫面一杯に640×480の表示解像度で表示可能である。しかし、フラットパネル表示装置、例えば液晶表示装置（LCD）の場合には、ピクセルサイズを変更できない。このため、1024×768画素のVRAMエリア7aの中に、640×480画素のウィンドウを切り、このウィンドウをVGAのフル画面モードとして表示する。VGAのフル画面モード表示用に作られたアプリケーションプログラムは、例えば、VRAMのアドレス0番地に“A”を書きなさいというように、プログラムで指定する。従って、GSP5はこれを解釈して、第1VRAMエリア7aの所定のウィンドウ位置に“A”を表示する。

【0030】なお、図7において、左上の画面と右下の画面は見た目に同じように見えるが、左上の画面は、ウィンドウを意識して作られたアプリケーションプログラムの場合であり、ウィンドウの切られた位置を認識してそのウィンドウ内のアドレスがアプリケーションプログラムにおいて指定される場合である。右下の画面では、アプリケーションプログラムは左下に示すように、640×480画素のVRAMエリアしか見えず、そのVRAMエリアの左上をアドレス0番地として指定する場合である。右下に示すフラットパネル表示装置に表示され

るフル画面モードの場合、1024×768画素のウィンドウのみが有効であるが、GSP5としては常に1024×768画素の高解像度表示を行なうので、その他の部分も表示される。

【0031】なお、上記実施例では、第2グラフィックサブシステムの具体例としてVGAを挙げたが、この発明は、VGAに限らない。すなわち、第2グラフィックサブシステムとしては、CRT表示を目的とした表示システムであれば何であってよい。

【0032】また、上記実施例では、アドレスバッファを設け、このアドレスバッファにセットされたアドレスに対応するVRAMエリア7cのロケーションの内容をGSPがVRAMエリア7aに転送して、高速処理を図っているが、常にVRAMエリア7cをシーケンシャルにリードして、VRAMエリア7aに転送するようにしてもよい。

【0033】

【発明の効果】以上述べたように、この発明によれば、CPUによりアクセスされる、第2グラフィックサブシステム用ビデオRAMエリア（第2ビデオRAMエリア）と、GSPによりアクセスされる、第1グラフィックサブシステム用ビデオRAMエリア（第1ビデオRAMエリア）とを備えている。CPUは、第2グラフィックサブシステム用アプリケーションプログラムを実行し、第2ビデオRAMエリアに表示データを書き込む。GSPは、第1ビデオRAMエリアの所定の位置に、第2グラフィックサブシステムにおけるフル画面モードの表示データを設定し、高解像度（1024×768画素）で表示を行なう。

【0034】このように、ファームウェアにより、第2グラフィックサブシステム例えばVGAのフル画面モードを第1グラフィックサブシステム用表示画面（例えば1024×768画素）のウィンドウに切ることができるので、第1グラフィックサブシステムのウィンドウと第2グラフィックサブシステムのフル画面モード表示との混在表示が可能となる。

【図面の簡単な説明】

【図1】この発明の表示制御方式の一実施例を示す概念図；

【図2】図1に示す概念を実現した例を示すブロック図；

【図3】CPUの処理動作を示すフローチャート。

【図4】GSPの処理動作を示すフローチャート。

【図5】VGAモードにおいて、テキストモードでの処理をエミュレートする場合の処理を示すフローチャート。

【図6】図5に示す処理フローの動作を示す概念図。

【図7】第1グラフィックサブシステムのウィンドウと第2グラフィックサブシステムのフル画面モードでの表示画面をフラットパネル表示装置に混在表示させること

(6)

特開平5-173745

9

10

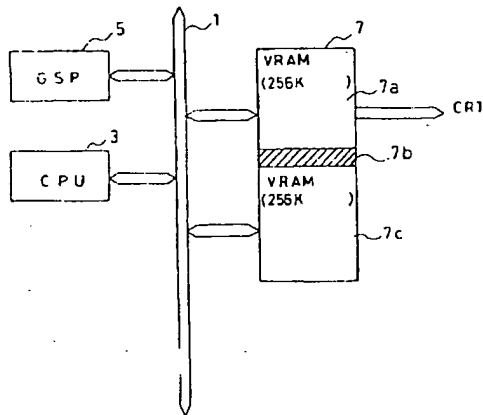
を示す概念図。

【符号の説明】

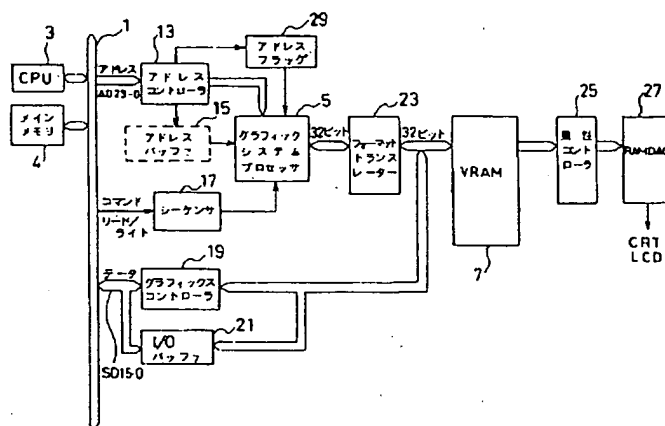
1…システムバス、3…CPU、5…グラフィックシステムプロセッサ (GSP)、7…ビデオRAM (VRAM)、13…アドレスコントローラ、15…アドレスバ

ッファ、17…シーケンサ、19…グラフィックスコントローラ、21…I/Oバッファ、23…フォーマットトランスレータ、25…属性コントローラ、27…RAMDAC、29…アドレスフラッグ。

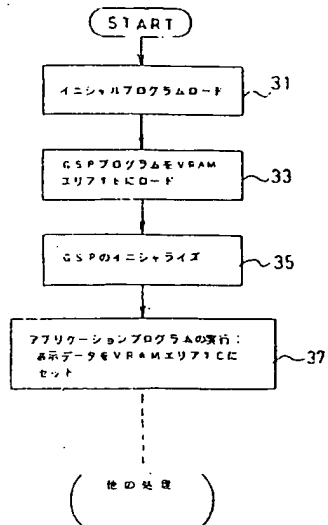
【図1】



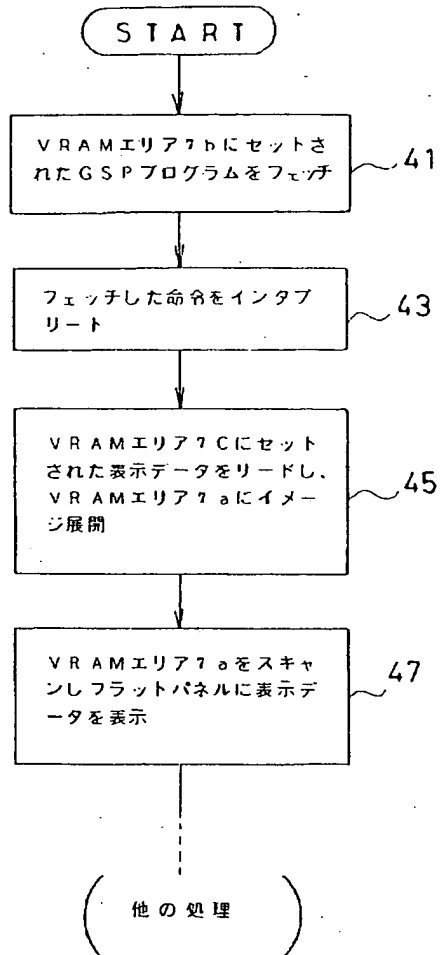
【図2】



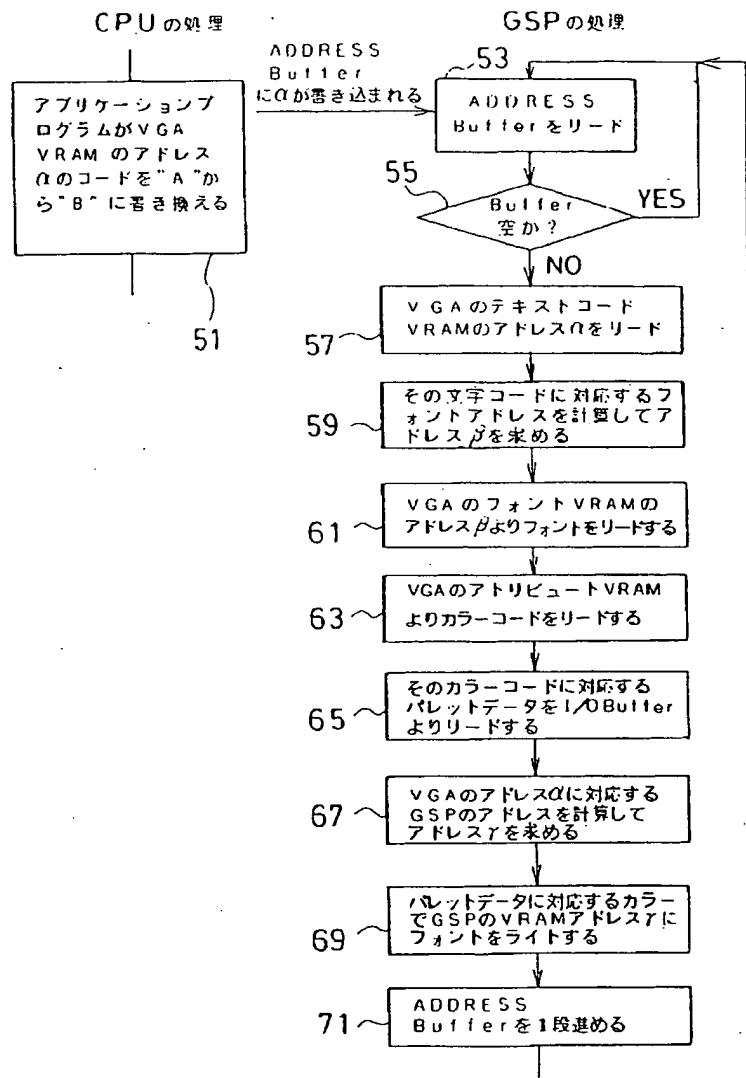
【図3】



【図4】



〔図5〕







〔図7〕

